

# PCI EXPRESS—致性 测试方法

# USB2.0/USB3.1一致性测试方法

- PCI EXPRESS 技术简介
- N5393C一致性测试软件操作方法
- SigTest软件测试方法
- 电缆校准和De-Skew的方法

# PCI Express一致性测试简介

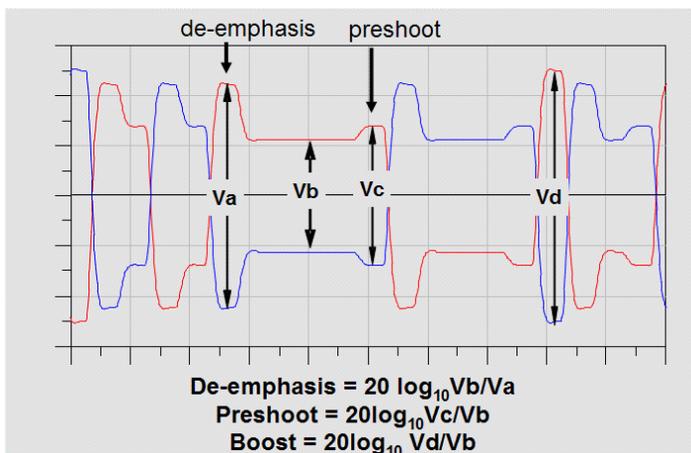
- PCI Express 标准是由 PCI-SIG 组织制定，是一种点到点的串行差分结构，规范最新发展到4.0标准，总线速率为16GT/s，3.0/2.0/1.1标准的总线速率分别为8Gbps，5Gbps和2.5Gbps.
- PCI Express规范包括Base Specification 和CEM(Card Electromechanical Specification)，前者定义了芯片的电气参数及其规范，后者定义了包含卡接口和互联的系统级规范。
- 对于芯片的验证及没有标准PCI Express接口，通常参考Base Spec对Tx端或Rx端的电气特性要求进行测量；对于系统级的测试比如有标准的PCI Express接口的主板和显卡，主要遵循CEM标准。

# 基础知识1: 8b/10b编码简介

- 8b/10b是一种将8bit字节映射为10bit的码型传输的编码方式，目的是为了增加信号的跳变密度，保持数据中的直流平衡，使接收端易于进行时钟恢复。
- 8b/10b包含D x.x码和K x.x码两类，分别为数据码和控制码。
- 广泛应用于高速串行总线标准，如SATA,PCIe2.0, USB3.0,Fiber Channel等等
- 8b/10b的信号有20%的额外开销，5Gbps的PCIe2.0信号传输实际的数据速率只有4Gbps，PCIe 3.0采用了更高效的128b/130b编码方式，以扰码技术实现，有效传输速率提升一倍，但这也要求接收端能够容忍更多的直流偏移及能够有效的时钟恢复

# 基础知识2: De-Emphasis和Pre-shoot

- 在高速信号传输中，由于PCB等互联系统带宽有限，往往会造成信号中的高频成分损耗严重，De-Emphasis(去加重)通过在源端降低低频部分与高频部分的比例，另外一种方式叫Pre-Emphasis(预加重)增加高频对低频部分的比重，都是提高接收端信号传输的信噪比，或者使得眼图拥有更大的张度。广义上来说这也是均衡处理，只不过是在源端做的。
- PCIe 1.1的标准采用3.5dB的去加重，PCIe 2.0采用3.5dB和6dB去加重，由于PCIe 3.0的信号速率达到8Gbps，损耗问题更严重，所以规范定义了更复杂的均衡方式，除了去加重，还增加了Pre-Shoot以改善信号质量，3.0规范里定义了有11种预设参数空间。



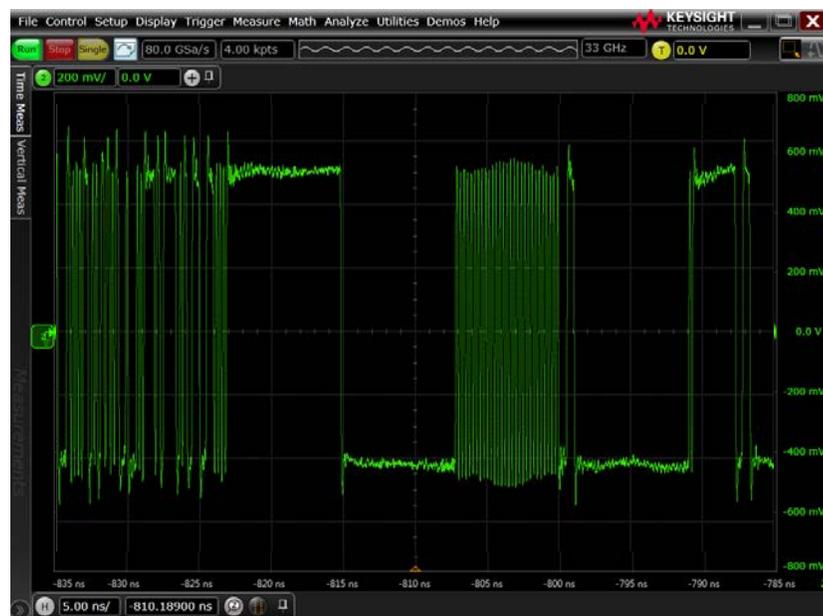
Preset number	Pre-shoot		De-emphasis	
	(dB)	Tol: ± dB	(dB)	Tol: ± dB
P4	0		0	
P1	0		-3.5	1
P0	0		-6	1.5
P9	3.5	1	0	
P8	3.5	1	-3.5	1
P7	3.5	1	-6	1.5
P5	1.9	1	0	
P6	2.5	1	0	
P3	0		-2.5	1
P2	0		-4.4	1.5

# 基础知识3: Compliance Pattern

PCI Express Base Spec定义了一致性测试码型，被测件在检测到50ohm端接会发出抑制性测试码型，测试时在使用夹具通过电缆连接到示波器，示波器是50欧姆输入阻抗，芯片会发出一致性码型。



PCIe 2.0/1.1 Compliance Pattern



PCIe 3.0 Compliance Pattern

Symbol	K28.5	D21.5	K28.5	D10.2
Current Disparity	0	1	1	0
Pattern	0011111010	1010101010	1100000101	0101010101

# 基础知识3: Compliance Pattern 续



## IMPLEMENTATION NOTE

### Compliance Load Board Usage to Generate Compliance Patterns

It is envisioned that the compliance load (base) board may send a 100 MHz signal for about 1 ms on one leg of a differential pair at 350 mV peak-to-peak on any Lane to cycle the device to the desired speed and de-emphasis level. The device under test is required, based on its maximum supported data rate, to cycle through the following settings in order, for each entry to Polling.Compliance from Polling.Active, starting with the first setting on the first entry to Polling.Compliance after the Fundamental Reset:

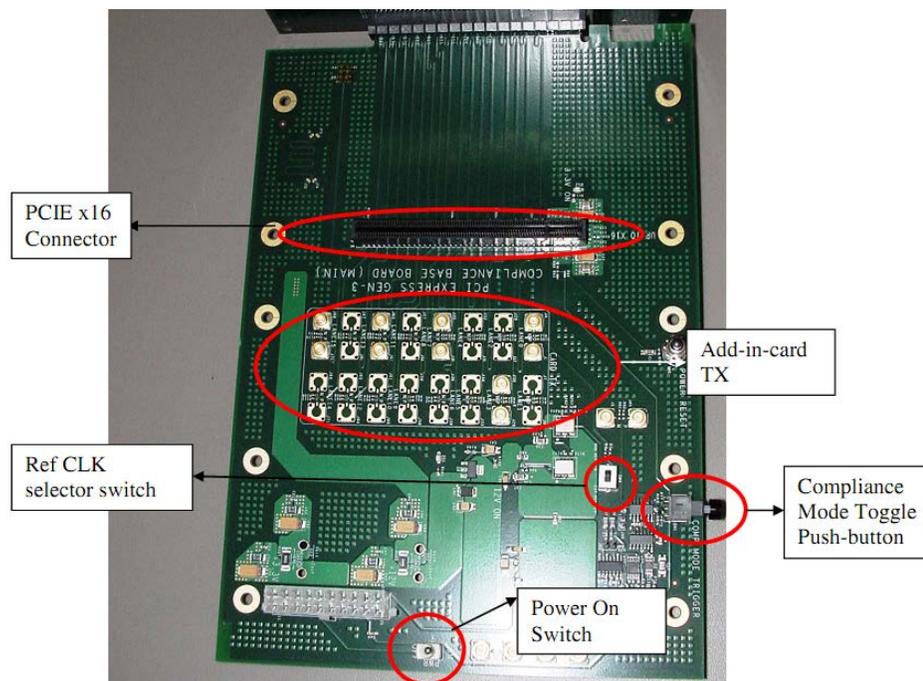
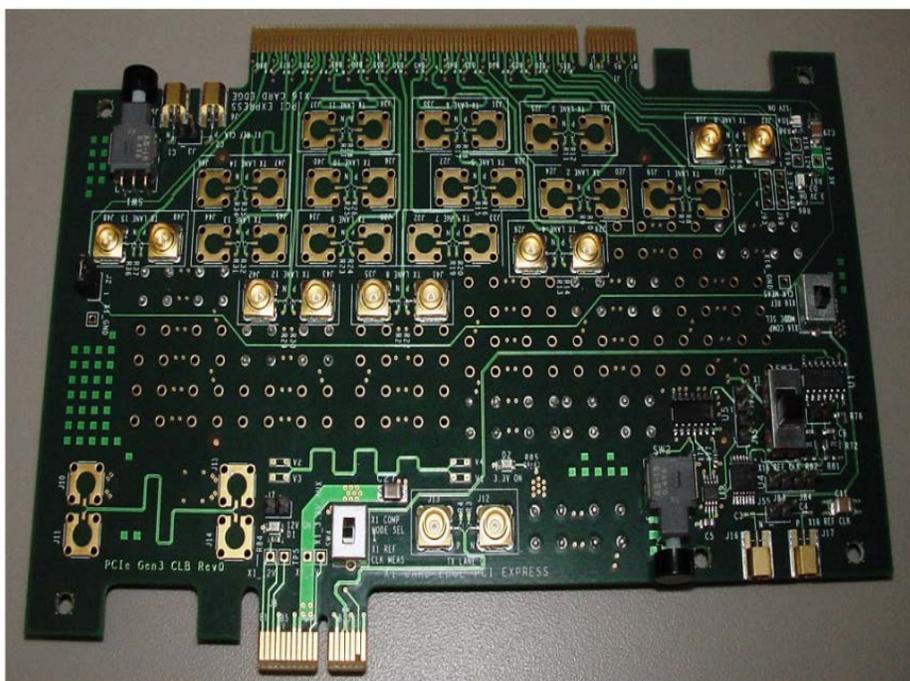
- Data Rate = 2.5 GT/s, De-emphasis Level = -3.5 dB
- Data Rate = 5.0 GT/s, De-emphasis Level = -3.5 dB
- Data Rate = 5.0 GT/s, De-emphasis Level = -6 dB
- Data Rate = 8.0 GT/s, with Transmitter Preset Encoding 0000b defined in Section 4.2.3.2
- Data Rate = 8.0 GT/s, with Transmitter Preset Encoding 0001b defined in Section 4.2.3.2
- Data Rate = 8.0 GT/s, with Transmitter Preset Encoding 0010b defined in Section 4.2.3.2
- Data Rate = 8.0 GT/s, with Transmitter Preset Encoding 0011b defined in Section 4.2.3.2
- Data Rate = 8.0 GT/s, with Transmitter Preset Encoding 0100b defined in Section 4.2.3.2
- Data Rate = 8.0 GT/s, with Transmitter Preset Encoding 0101b defined in Section 4.2.3.2
- Data Rate = 8.0 GT/s, with Transmitter Preset Encoding 0110b defined in Section 4.2.3.2
- Data Rate = 8.0 GT/s, with Transmitter Preset Encoding 0111b defined in Section 4.2.3.2
- Data Rate = 8.0 GT/s, with Transmitter Preset Encoding 1000b defined in Section 4.2.3.2
- Data Rate = 8.0 GT/s, with Transmitter Preset Encoding 1001b defined in Section 4.2.3.2
- Data Rate = 8.0 GT/s, with Transmitter Preset Encoding 1010b defined in Section 4.2.3.2

Table 4-3: Transmitter Preset Encoding

Encoding	De-emphasis (dB)	Preshoot (dB)
0000b	-6	0
0001b	-3.5	0
0010b	-4.5	0
0011b	-2.5	0
0100b	0	0
0101b	0	2
0110b	0	2.5
0111b	-6	3.5
1000b	-3.5	3.5
1001b	0	3.5
1010b	See description above.	See description above.
1011b through 1111b	Reserved	

# 基础知识4：测试夹具

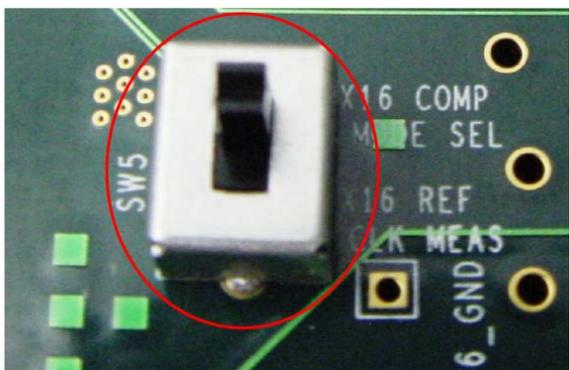
对于标准PCIe接口的产品测试需要使用PCI-SIG提供的CLB(测试主板) CBB(测试显卡)



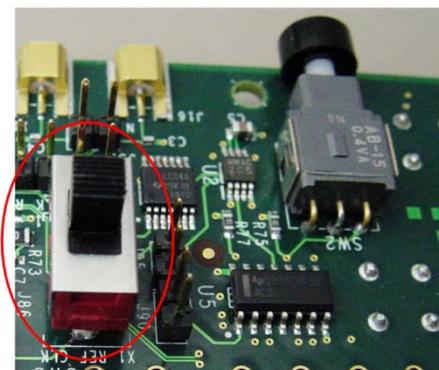
# 夹具的设置和切换（以主板X16为例）

- 插入CLB3, 确保测量lane之外的所有的Tx都端接50ohm, 主板默认应该传送2.5Gbps的一致性码型, 在按下Toggle按键后依次切换到如下模式
- First toggle: 5GT/s (-3.5dB) mode
- Second toggle: 5GT/s (-6dB) mode.
- Third-eleventh toggle: 8GT/s, de-emphasis presets P0-P10

对于Gen3测试, 主要测试P0,P7,P8



SW5 to the "X16 COMP MODE SEL"



SW3 to position "x16 REF CLK"

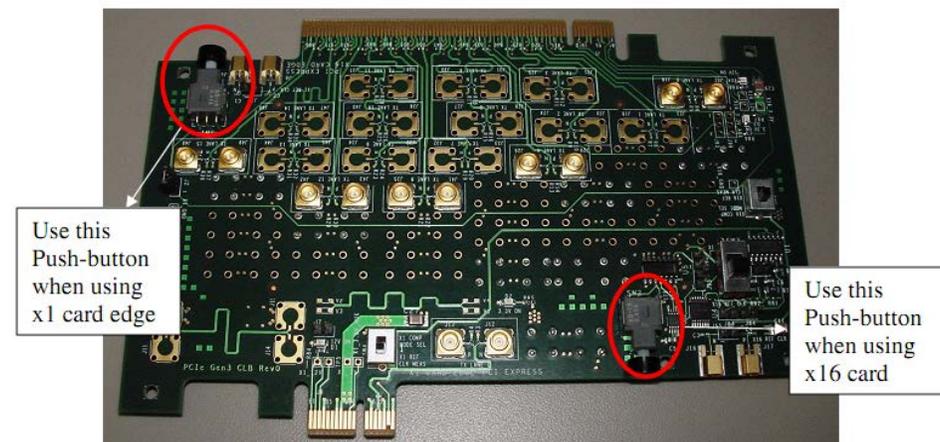
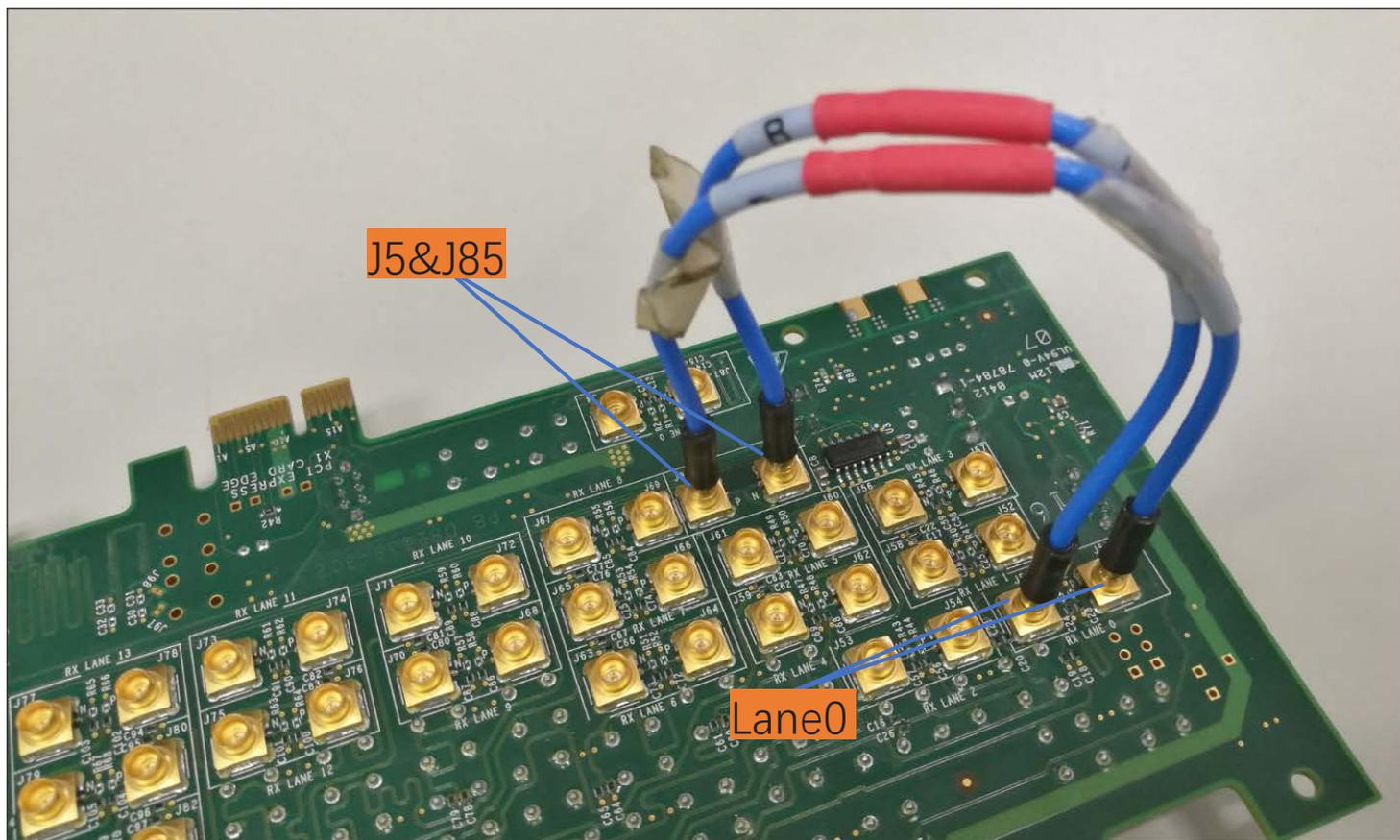


Figure 19: Push Buttons for Compliance Mode Toggle

# 夹具的设置和切换（以主板X16为例）

使用CLB3注意， 要用SMP-SMP cable将toggle信号输出J5/J85接到Rx Lane0



# 测试需要的配件

SMA 电缆  
N2812A+ SMA转  
SMP短线,  
测量Data, 相比  
SMA-SMP长电缆  
具有更好的性能



SMA-SMP 电缆  
用以测量Clock



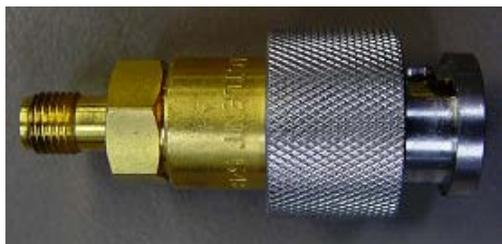
SMP 50ohm 负载

Figure 4: 50 Ohm Termination Load



用于电缆  
deskew

Figure 5: Miscellaneous components required for cable de-skew etc



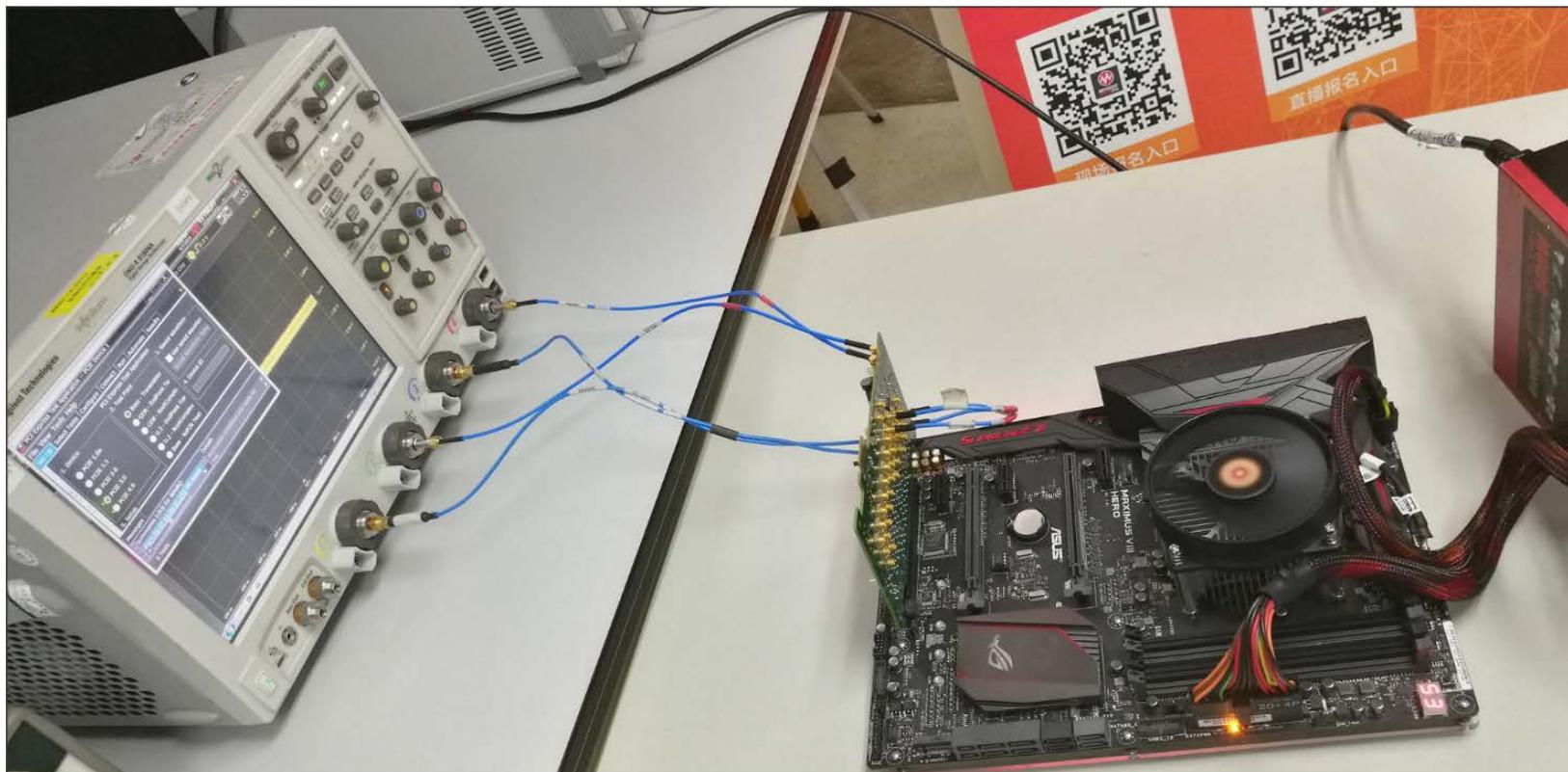
4个, 用于  
90000A示波  
器



4个, 用于  
DSAX90000  
A示波器

# 系统测试连接图(主板测试)

从PCIe2.0开始，采用双端口(Dual Port)测量，Data和Clock同时接到示波器上。通常D+/D-连接到Ch1/Ch3, CLK+/CLK-连接到Ch2/Ch4



# USB2.0/USB3.1一致性测试方法

- PCI EXPRESS 技术简介
- N5393C一致性测试软件操作方法
- SigTest软件测试方法
- 电缆校准和De-Skew的方法

# N5393C/D一致性软件设置方法

选择测试点

Transmitter: 根据Base Spec, 发射端的要求, 板级测发射端信号, 推荐选择此项

Receiver: 根据Base Spec, 接收端的要求, 板级测接收端信号性能, 推荐选择此项

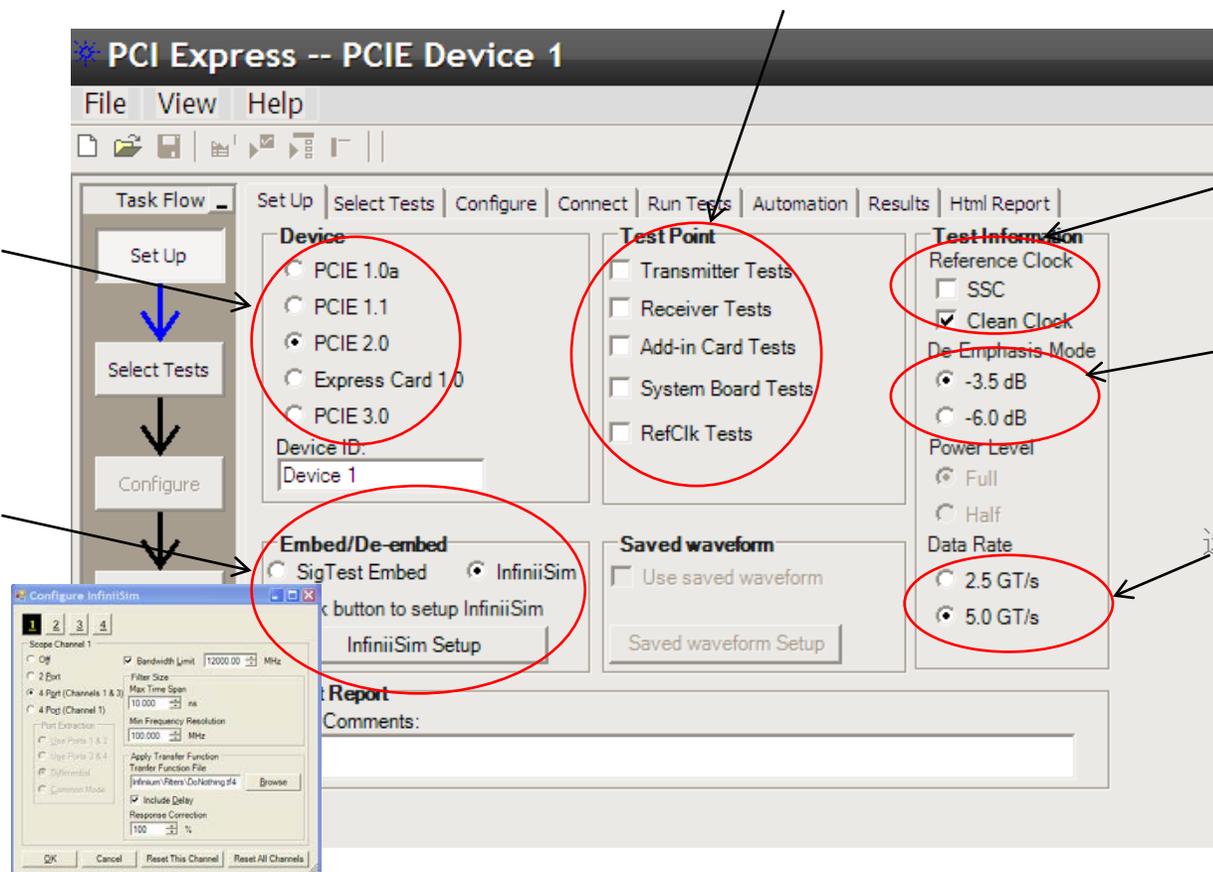
Add-in Card: 根据CEM, 标准接口的显卡测试

System Board: 根据CEM, 标准接口的主板测试

RefClk Tests: 参考时钟的测试

选择设备类型

去嵌入和嵌入设置, 可以将夹具/芯片封装和PCB互连等S参数去嵌入或者嵌入末端芯片封装S参数



被测件是否打开SSC

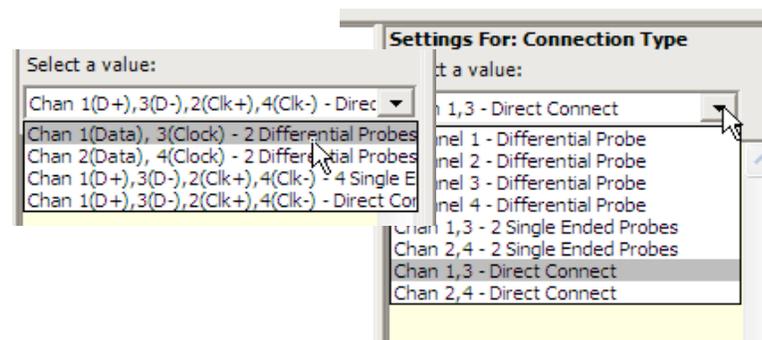
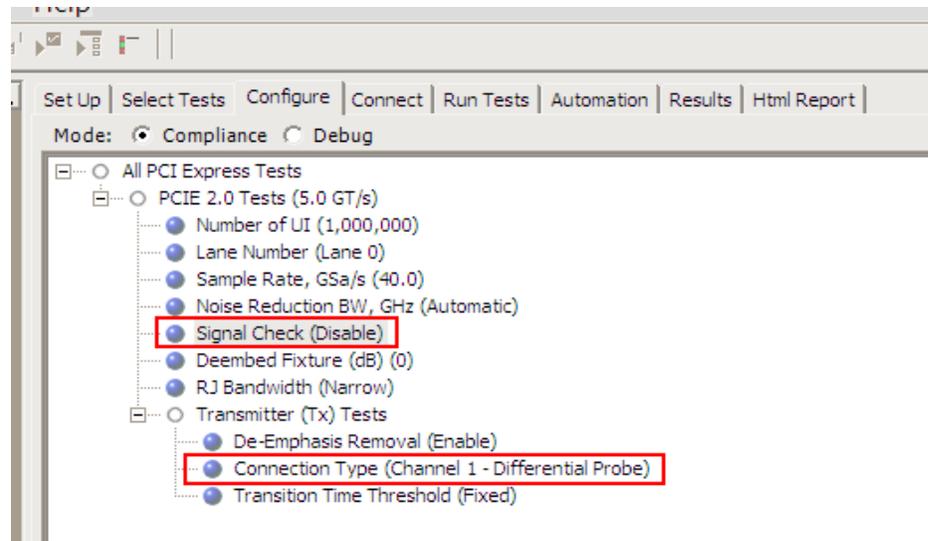
去加重等级

选择速率等级

# N5393C一致性测试软件配置

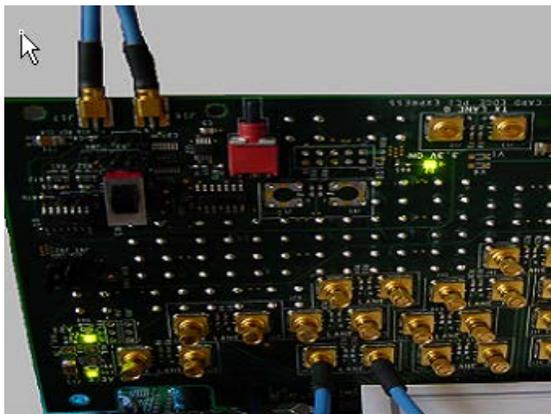
## 注意

- Signal Check: 正常测试要求Compliance Pattern, 对于板内信号的测试, 如果不能传送Compliance Pattern, 建议测试的时候把这个Signal Check改为Disable
- 连接方式, 如果是Transmitter测试, 可以选择电缆直连, 如果是差分探头直接测量板级信号, 选择差分探头和通道; 如果是System Board Test(前页), 那选择双port测试, data和clock都连接

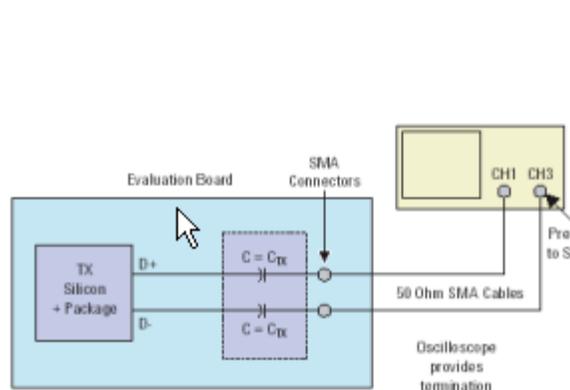


# N5393C 连接指南

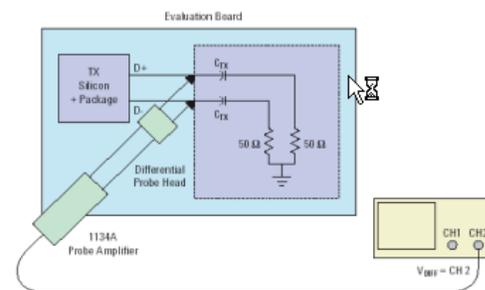
参照一致性测试软件的提示连接方式



System Board 测试



Transmitter SMA电缆直连测试



Transmitter差分探头测试，（部分共模参数需要两个探头分别测试 D+/D-）

# 测试报告的生成及保存

生成测试报告后，File---Save Project As，指定目录后即可保存报告和相关的文件，在对应目录内的report.html文件就是报告文件



Agilent Technologies

## PCI Express Test Report

Overall Result: **PASS**

Test Configuration Details	
Device Description	
Embed/De-embed On	No
Device ID	Device 1
Test Session Details	
Infinium SW Version	03 03 0002
Infinium Model Number	DSO90804A
Infinium Serial Number	No Serial
Application SW Version	0.01.4097
Debug Mode Used	No
Last Test Date	3/21/2011 4:08:05 PM

### Summary of Results

Test Statistics	
Failed	0
Passed	13
Total	13

Margin Thresholds	
Warning	< 2 %
Critical	< 0 %

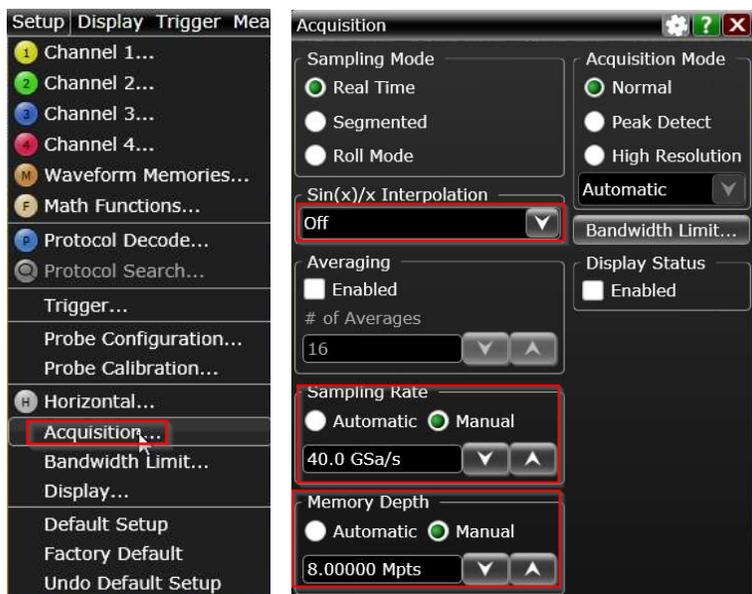
Pass	# Failed	# Trials	Test Name	Actual Value	Margin	Pass Limits
✓	0	1	Tx_Unit interval (PCIe 3.0, 8.0 GT/s)	125.0000ps	50.0 %	124.9600 ps <= VALUE <= 125.0400 ps
✓	0	1	Tx_Full swing Tx voltage with no TxEQ (PCIe 3.0, 8.0 GT/s)	916.9mV	23.4 %	800.0m V <= VALUE <= 1.3000 V
✓	0	1	Tx_Min swing during EFOS for full swing (PCIe 3.0, 8.0 GT/s)	928.5mV	271.4 %	VALUE >= 250.0m V
✓	0	1	Tx_Unrelated total jitter (PCIe 3.0, 8.0 GT/s)	7.152ps	77.1 %	VALUE <= 31.250p s
✓	0	1	Tx_Unrelated deterministic jitter (PCIe 3.0, 8.0 GT/s)	459fs	96.2 %	VALUE <= 12.000p s

# USB2.0/USB3.1一致性测试方法

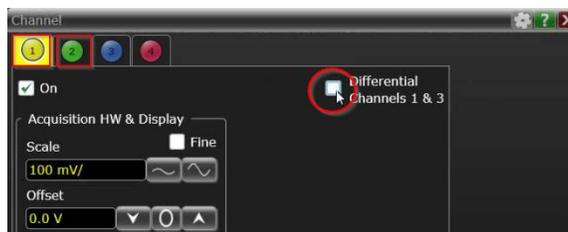
- PCI EXPRESS 技术简介
- N5393C一致性测试软件操作方法
- SigTest软件测试方法
- 电缆校准和De-Skew的方法

# 示波器的设置

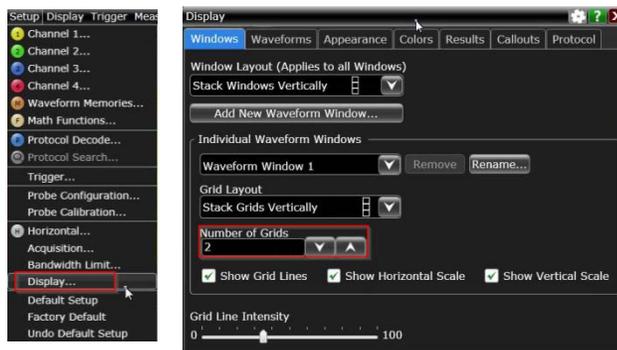
- 测试Gen 1示波器采样率设置为20GSa/s
- 测试Gen 2/Gen3采样率设置为40GSa/s
- 采样深度设置为8M
- SigTest处理原始数据，关闭Sin(x)/x内插



- Data +/- 连接到示波器Channel 1/3
- CLK +/-连接到示波器Channel 2/4
- 调整4个通道的垂直灵敏度，尽量每个通道都能满屏显示
- 在菜单Setup---Channel，勾选Differential 1&3，2通道勾选Diff 2&4,关闭3，4

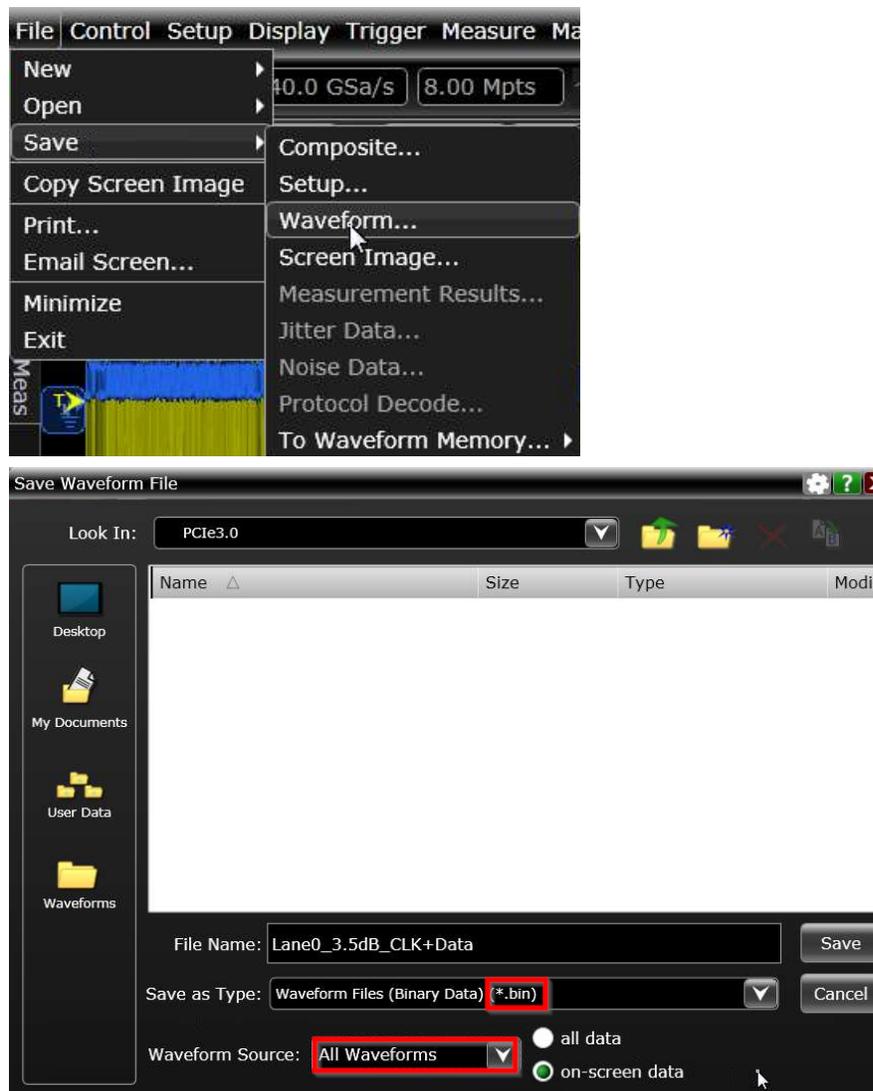


Setup---Display Quantity设为2，分别将差分后的1和2满屏显示在两格里



# 波形捕获与文件存储

- 时基调整到大致20us/div(如果是测试2.5Gbps 20G采样率大致40us/div)，在固定采样率和存储深度情况下，可以缩小调整时基把所有波形显示在屏幕上。
- 单次运行
- 存储波形，文件类型设置为\*.bin格式，Source选择All Waveforms(Dual Port测试)，文件名建议标注详细通道及信号信息，如果是测量PCIe1.1信号，选择data通道



# 测试PCIe3.0 SigTest设置

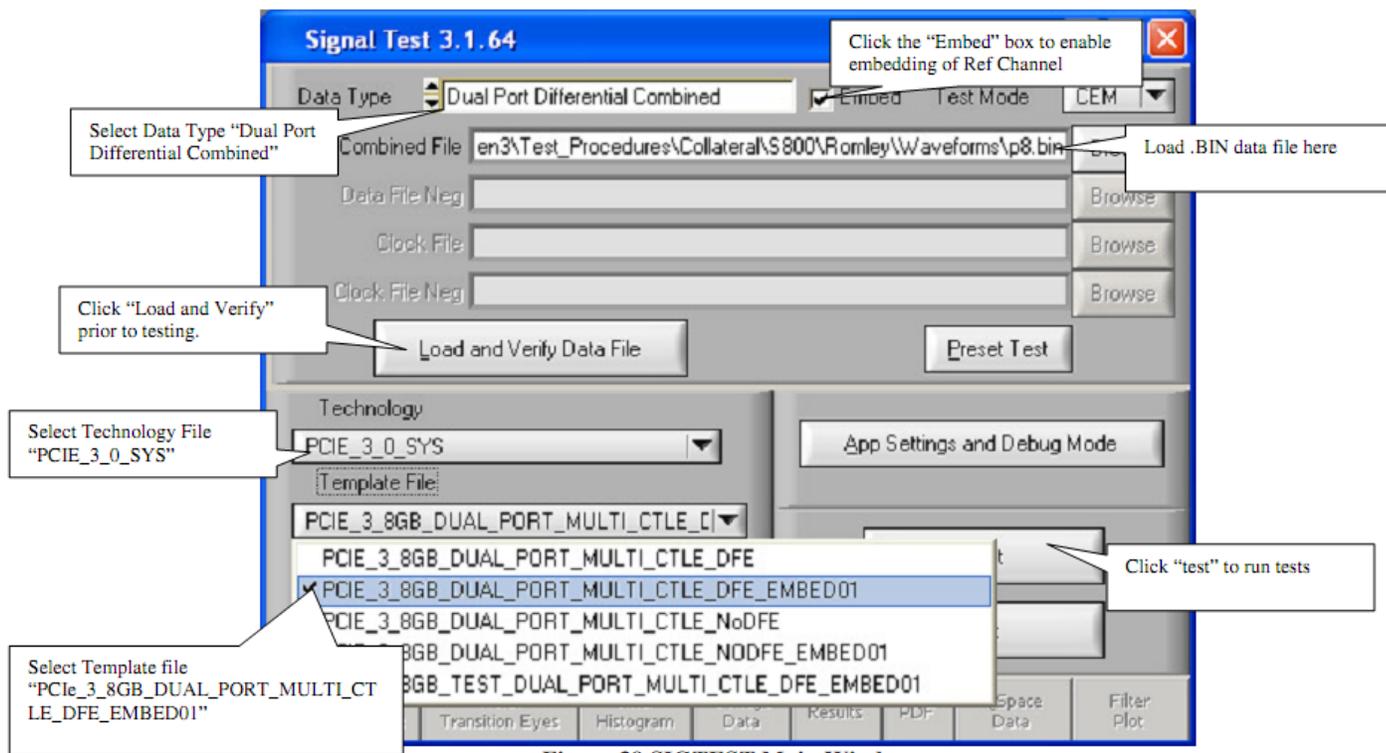
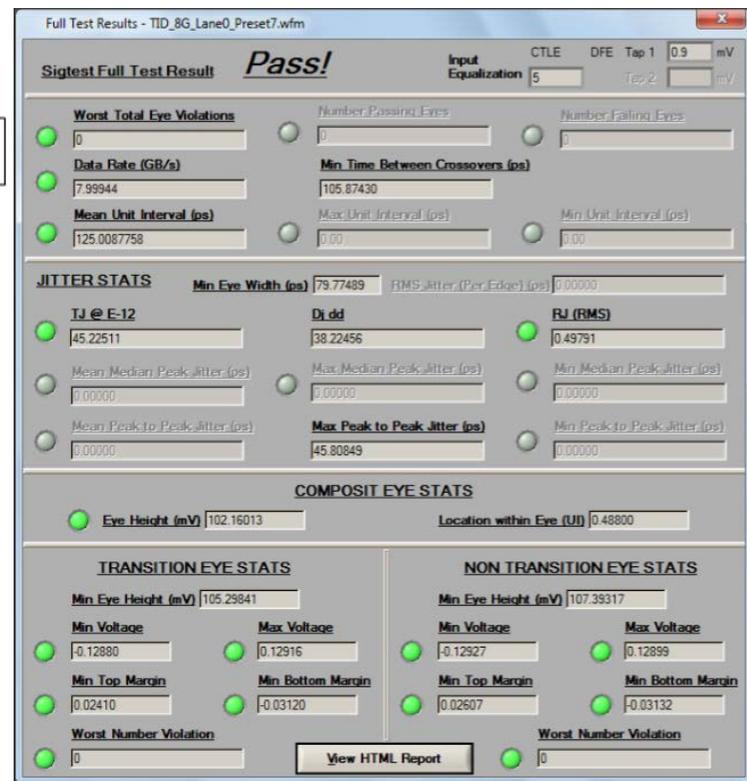


Figure 39 SIGTEST Main Window

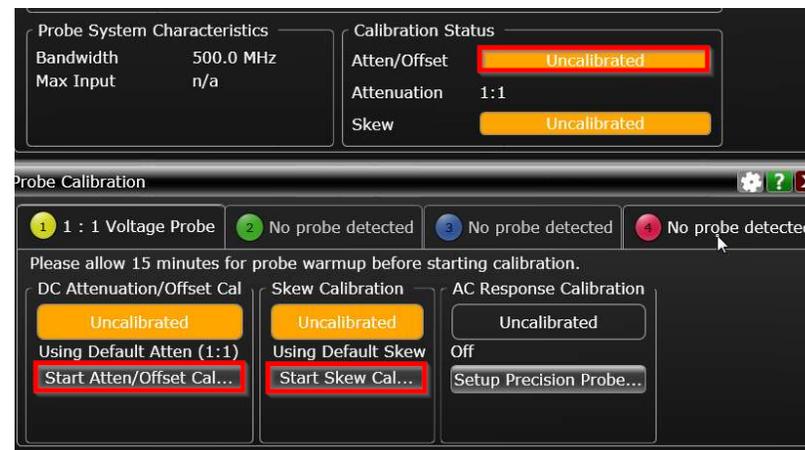
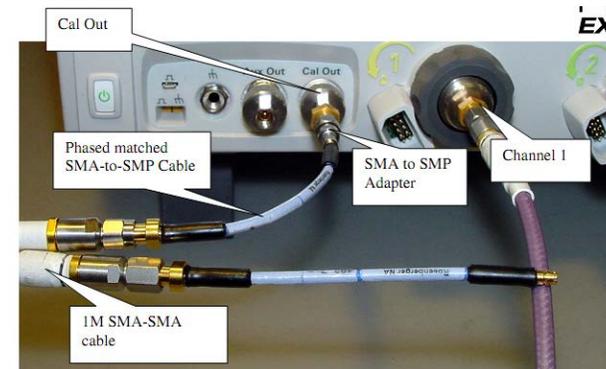
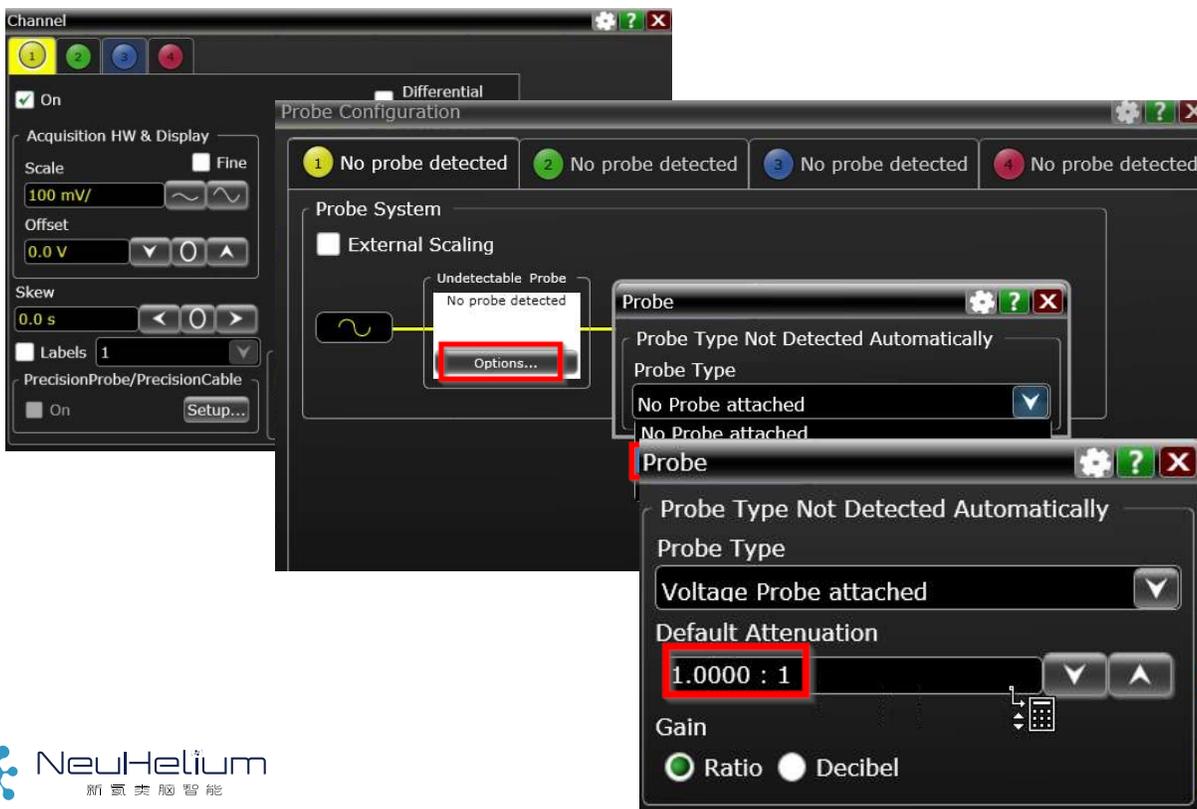


# USB2.0/USB3.1一致性测试方法

- PCI EXPRESS 技术简介
- N5393C一致性测试软件操作方法
- SigTest软件测试方法
- 电缆校准和De-Skew的方法

# 电缆校准

先将Aux Out, Cal Out(DSAX90000A)连接到ch1  
Setup---Channel1---Probe Setup, 按下面图设置  
自定义探头, 设置比例1:1, 开始校准

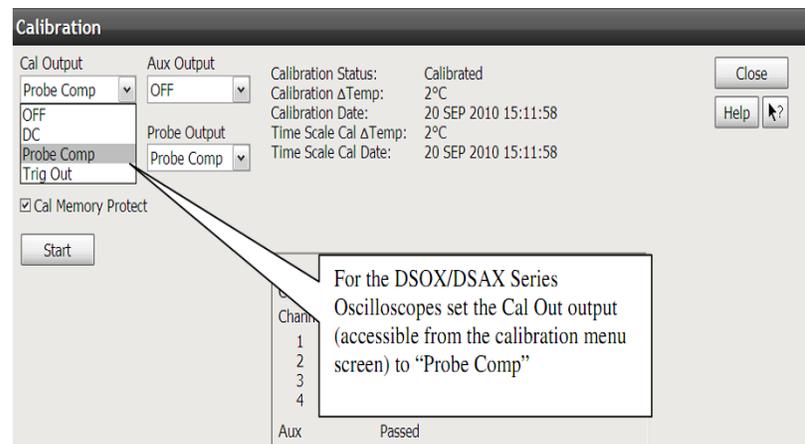


# 电缆De-Skew的连接

DSA9000A示波器De-Skew连接



DSAX9000A示波器De-Skew连接  
示波器Utility—Calibration---Cal Output设置为Probe Comp



# 电缆De-Skew 调整

在示波器软件里File—Load—Setup调用INF\_SMA\_Deskew.set，或者用channel1上升沿触发，调整触发电平在-100多mV，水平时基设置为100ps/div，Setup---Acquisition---Average设置为16



类  
脑  
智  
能  
  
驱  
动  
未  
来

类  
脑  
智  
能  
  
驱  
动  
未  
来

# THANKS



BY  
**NeuHelium**